

1 特性

- 与 TIA/EIA-485-A 标准兼容
- 高达 5000Vrms 隔离电压
- 逻辑侧电源电压 (VDD1): 2.5V 至 5.5V
- 总线侧电源电压 (VDD2): 3V 至 5.5V
- 数据速率: 12Mbps 或 14Mbps
- 开路、短路和空闲总线失效保护
- 1/8 单位负载, 多达 256 个总线节点
- 高共模瞬态抗扰度: $\pm 100\text{kV}/\mu\text{s}$ (典型值)
- 工作温度范围: -40°C 至 125°C
- 符合 RoHS 要求的宽体 SOIC-16 封装
- 引脚兼容多数隔离式 RS-485 收发器
- 安全相关认证: (Pending)
 - 符合 DIN VDE V0884-17:2021-10 标准 2121V_{PK} 最大重复峰值隔离电压
 - 符合 UL 1577 标准 1 分钟 5000 VRMS 隔离电压
 - CQC、TUV 和 CSA 认证

2 应用

- 隔离 RS-485 通信
- 光伏逆变器
- 工厂自动化与控制
- 电机驱动器
- HVAC 系统和楼宇自动化

3 概述

Pai848x 产品是荣湃半导体隔离 RS-485 收发器, 通过使用荣湃半导体 *iDivider*® 技术提供卓越的性能特性。

智能分压器技术 (*iDivider*® 技术) 是荣湃半导体发明的新一代数字隔离器技术。它利用电容分压原理, 在不需调制和解调的情况下, 实现电压信号跨越隔离介质精准传输。

Pai8485E 是半双工 RS-485 收发器, Pai8486E 是全双工 RS-485 收发器。这两种收发器均符合 UL 1577 标准的 5kVrms 隔离电压认证。

这些收发器是长输电线的理想选择, 因为接地回路被断开, 从而允许更大的共模电压范围。

这些收发器具有故障安全电路, 可在接收器输入开路或短路时保证接收器输出逻辑高。这些收发器具有 1/8 单元负载接收器输入阻抗, 允许总线上最多 256 个收发器。

Pai8485E 的数据速率为 14Mbps。Pai8486E 的数据速率高达 12Mbps。

4 功能框图

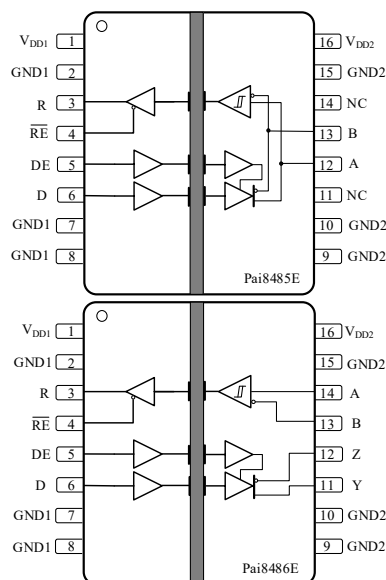


图 1. Pai8485E & Pai8486E 功能框图

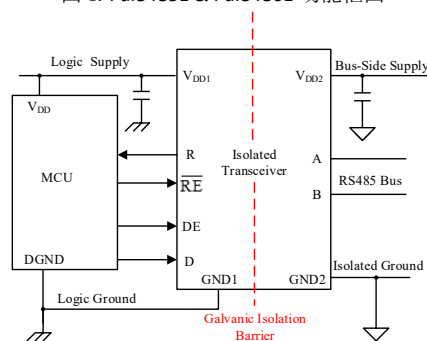
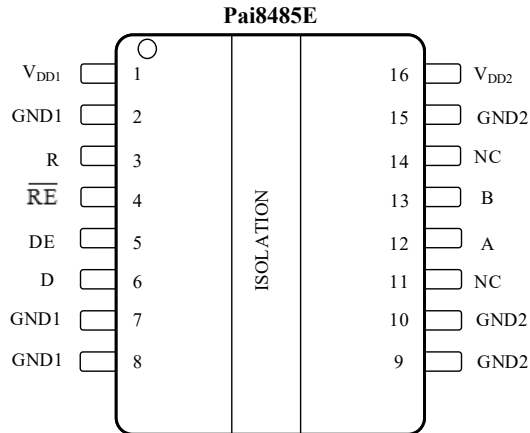


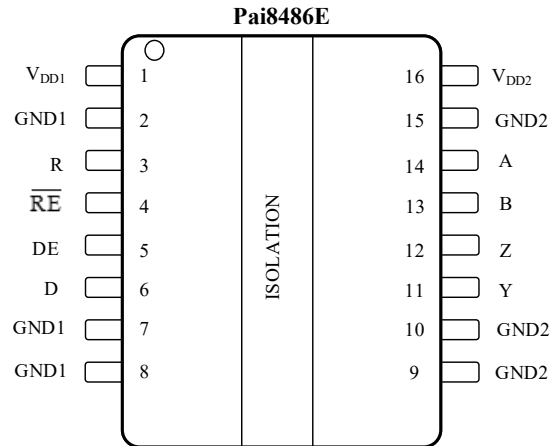
图 2. Pai8485E 典型应用电路

5 引脚定义和功能描述



引脚功能：半双工收发器

管脚	名称	描述
1	VDD1	逻辑侧电源 (VDD1)
2	GND1	VDD1 的接地连接
3	R	接收器输出
4	\overline{RE}	接收器使能。该引脚在高电平或开路时禁用接收器输出，在低电平时启用接收器输出。
5	DE	驱动器使能。该引脚在高电平时启用驱动器输出，在低电平或开路时禁用驱动器输出。
6	D	驱动器输入
7	GND1	VDD1 的接地连接
8	GND1	VDD1 的接地连接
9	GND2	VDD2 的接地连接
10	GND2	VDD2 的接地连接
11	NC	无内部连接
12	A	总线侧收发器同相输入或输出 (I/O)
13	B	总线侧收发器反相输入或输出 (I/O)
14	NC	无内部连接
15	GND2	VDD2 的接地连接
16	VDD2	总线侧电源 (VDD2)


引脚功能：全双工收发器

PIN NO.	NAME	DESCRIPTION
1	VDD1	逻辑侧电源 (VDD1)
2	GND1	VDD1 的接地连接
3	R	接收器输出
4	$\overline{\text{RE}}$	接收器使能。该引脚在高电平或开路时禁用接收器输出，在低电平时启用接收器输出。
5	DE	驱动器使能。该引脚在高电平时启用驱动器输出，在低电平或开路时禁用驱动器输出。
6	D	驱动器输入
7	GND1	VDD1 的接地连接
8	GND1	VDD1 的接地连接
9	GND2	VDD2 的接地连接
10	GND2	VDD2 的接地连接
11	Y	驱动器同相输出
12	Z	驱动器反相输出
13	B	总线侧的接收器反相输入
14	A	总线侧的接收器同相输入
15	GND2	VDD2 的接地连接
16	VDD2	总线侧电源 (VDD2)

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）^{(1) (2)}

		MIN	MAX	UNIT
V _{DD1}	1 侧电源电压	-0.3	6	V
V _{DD2}	2 侧电源电压	-0.3	6	V
V _{BUS}	总线引脚上的电压（A, B, Y, Z 相对于 GND2）	-7	12	V
V _I	逻辑电压水平（D, DE, /RE, R）	-0.5	VDD1+0.5 ⁽³⁾	V
I _O	R 引脚上的输出电流		±10	mA
T _J	最大结温		150	°C
T _{STG}	存储温度	-65	150	°C

(1) 超出上表中列出的绝对最大额定值可能会导致器件永久损坏。这些仅是绝对最大额定值，并不意味着器件在这些或任何其他超出“推荐工作条件”的条件下功能正常。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GNDA 或 GNDB），并且是峰值电压值。

(3) 最大电压不得超过 6V。

6.2 ESD 等级

			VALUE	UNIT
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准	除了总线引脚外的所有引脚 ⁽¹⁾	±6000	V
		总线引脚和 GND2 ⁽⁴⁾	±12000	
	组件充电模式 (CDM), 适用标准 JEDEC specification JESD22- C101 ⁽²⁾	±2000		

(1) JEDEC 文件 JEP155 规定，500-V HBM 允许通过标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 规定，250-V CDM 允许通过标准 ESD 控制过程进行安全制造。

6.3 推荐工作条件

		MIN	TYP	MAX	UNIT
V _{DD1}	逻辑侧电源电压，1 侧	2.5		5.5	V
V _{DD2}	总线侧电源电压，2 侧	3		5.5	V
V _I	任意总线端子处的共模电压：A 或 B	-7		12	V
V _{IH}	高电平输入电压（D、DE、/RE 输入）	0.6*VDD1		VDD1	V
V _{IL}	低电平输入电压（D、DE、/RE 输入）	0		0.3*VDD1	V
V _{ID}	差分输入电压，A 相对于 B	-12		12	V
R _L	差分输入电阻	54			Ω
I _O	输出电流，驱动器	-60		60	mA
I _{OR}	输出电流，接收器	-8		8	mA
1/t _{UI}	信号速率 Pai8485E			14	Mbps
1/t _{UI}	信号速率 Pai8486E			12	Mbps
T _A	工作环境温度	-40		125	°C

6.4 真值表

驱动器功能表⁽¹⁾

V _{DD1}	V _{DD2}	输入 D	驱动器使能 DE	输出 ⁽²⁾	
				Y / A	Z / B
PU	PU	H	H	H	L
		L	H	L	H
		X	L	Hi-Z	Hi-Z
		X	开路	Hi-Z	Hi-Z
		开路	H	H	L
PD ⁽³⁾	PU	X	X	Hi-Z	Hi-Z
PU	PD	X	X	Hi-Z	Hi-Z
PD	PD	X	X	Hi-Z	Hi-Z

(1) PU = Powered Up; PD = Powered Down; H = High Level; L = Low level; X = Irrelevant, Hi-Z = High impedance state

(2) 全双工收发器的驱动器输出为Y和Z。对于半双工收发器，驱动器输出为A和B。

(3) 强驱动的输入信号可以通过内部保护二极管微弱地为浮动VDD1供电，并导致不确定的输出。

接收器功能表⁽¹⁾

V _{DD1}	V _{DD2}	差分输入 V _{ID} = (V _A - V _B)	接收器使能 (\overline{RE})	输出 R
PU	PU	$-0.02\text{ V} \leq V_{ID}$	L	H
		$-0.2\text{ V} < V_{ID} < 0.02\text{ V}$	L	不确定
		$V_{ID} \leq -0.2\text{ V}$	L	L
		X	H	Hi-Z
		X	开路	Hi-Z
		开路, 短路, 空闲	L	H
PD ⁽²⁾	PU	X	X	Hi-Z
PU	PD	X	L	H
PD ⁽²⁾	PD	X	X	Hi-Z

(1) PU = Powered Up; PD = Powered Down; H = Logic High; L = Logic Low; X = Irrelevant, Hi-Z = High Impedance (OFF) state

(2) 强驱动的输入信号可以通过内部保护二极管微弱地为浮动VDD1供电，并导致不确定的输出。

6.5 热信息

热指标		Pai848x	单位
		WB SOIC-16	
R _{θJA}	结至环境热阻	70	°C/W

6.6 绝缘规格

参数		测试条件	数值	单位
IEC 60644-1				
CLR	外部电气间隙 ⁽¹⁾	空气中最短的引脚距离	8	mm
CPG	外部爬电距离 ⁽¹⁾	整个封装表面上最短的引脚到引脚距离	8	mm
DTI	绝缘距离	最小内部间隙(内部距离)	> 21	um
CTI	相对电痕指数	DIN EN 60112 (VDE 0303-11)	≥ 400	V
	材料组	IEC 60112	I	
	过压类别	额定电源电压 ≤ 150 V _{RMS}	I-IV	
		额定电源电压 ≤ 300 V _{RMS}	I-IV	
		额定电源电压 ≤ 400 V _{RMS}	I-IV	
DIN V VDE V 0884-11 (VDE V 0884-11):2017-01⁽²⁾				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	2121	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压 (正弦波)	1500	V _{RMS}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); t = 1 s (100% 生产测试)	7071	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	加强绝缘, 1.2/50 μs 组合波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试) ¹	6250	V _{PK}
q _{pd}	表征电荷 ⁽⁴⁾	方法 b1, V _{PR} = V _{IORM} × 1.5, 100% 生产测试, t = 1 s	≤ 5	pC
C _{IO}	栅电容, 输入到输出 ⁽⁵⁾	V _I = 0.4 sin (2πft)	1.5	pF
R _{IO}	绝缘电阻, 输入到输出 ⁽⁵⁾	V _{IO} = 500 V, T _A = 25°C, 隔离栅两侧的所有引脚连接在一起, 形成一个 2 端子收发器	>10 ¹²	Ω
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	Ω
	污染度		2	
	气候类别		40/125/21	
UL1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证); V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	5000	V _{RMS}

- (1) 爬电距离和间隙要求应根据具体应用中特定收发器的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。
- (2) Pai848x 仅适用于安全额定值范围内的基本电气绝缘。应通过适当的保护电路确保遵守安全等级要求。
- (3) 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。
- (4) 表征电荷是由局部放电引起的放电电荷(pd)。
- (5) 隔离栅两侧的所有引脚连接在一起, 构成双端器件。

6.7 相关安全认证 (Pending)

绝缘寿命部分详细介绍了特定交叉隔离波形和绝缘水平的推荐最大工作电压。

CUL		VDE	CQC
UL 1577 器件程序认证 ¹	根据 CSA 部件验收通知 5A 批准	符合 DIN EN IEC 60747-17 (VDE 0884-17): 2021-10 标准	符合 CQC11-471543-2012 和 GB4943.1-2011 标准
单一保护, 5000Vrms 隔离电压	单一保护, 5000Vrms 隔离电压	加强绝缘, $V_{IORM} = 2121V$ 峰值, $V_{IOSM} = 6250V$ 峰值	基本绝缘: 845 Vrms (1200 V 峰值) 最大工作电压 加强绝缘: 422 Vrms (600 V 峰值) 最大工作电压
文件编号: E494497	文件编号: E494497		证书编号: CQC23001387453

6.8 安全限值

安全限制⁽¹⁾ 旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数	测试条件	最小值	典型值	最大值	单位
I_S 安全输入、输出或供电电流	$R_{\theta JA} = 70^\circ\text{C}/\text{W}$, $V_I = 5.5\text{ V}$, $T_J = 150^\circ\text{C}$, $T_A = 25^\circ\text{C}$			320	mA
T_S 最高安全温度				150	$^\circ\text{C}$

- (1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。 I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超过 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。

表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高K测试板上。使用以下公式计算每个参数的值:

$T_J = T_A + R_{\theta JA} \times P$, 其中 P 是器件中耗散的功率。

$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$, 其中 $T_{J(max)}$ 是允许的最大结温。

$P_S = I_S \times V_I$, 其中 V_I 是最大输入电压。

6.9 电气特性: 驱动器

所有典型规格都是在 VDD1=5V、VDD2=5V、TA=25°C 条件下的规格 (除非另有说明, 否则最小/最大值是建议工作条件下的规格)

参数		测试条件	最小值	典型值	最大值	单位
V _{OD}	驱动器差分输出电压幅度	开路电压, 总线无负载, 3 V ≤ VDD2 ≤ 5.5 V	3		VDD	V
		R _L = 54 Ω, 见图 5	1.5			
		R _L = 100 Ω (RS-422), 见图 5	1.5			
		V _{test} from -7 V to +12 V, 见图 5	1.5			
Δ V _{OD}	两个状态之间的差分输出电压变化	R _L = 54 Ω or R _L = 100Ω, 见图 6	-0.2	0	0.2	V
V _{OC}	共模输出电压	R _L = 54 Ω or R _L = 100Ω, 见图 6			3	V
Δ V _{OC(ss)}	两个状态之间的稳态共模输出电压变化	R _L = 54 Ω or R _L = 100Ω, 见图 6			0.2	
I _{OS}	驱动器短路输出电流	V _A or V _B = -7 V, 其他输入为 0V	-200		200	mA
		V _A or V _B = 12 V, 其他输入为 0V				
I _I	输入电流	V _D 和 V _{DE} = 0V 或 V _D and V _{DE} = V _{DD1}	-10		10	μA
CMTI	共模瞬变抗扰度	见图 13		100		kV/μs

6.10 电气特性: 接收器

所有典型规格都是在 VDD1=5V、VDD2=5V、TA=25°C 条件下的规格 (除非另有说明, 否则最小/最大值是建议工作条件下的规格)

参数		测试条件	最小值	典型值	最大值	单位
V _{TH}	接收器差分阈值电压			-100		mV
V _{hys}	输入迟滞			30		mV
V _{OH}	高电平输出电压	V _{ID} = 200 mV, I _O = -4 mA		V _{DD1} -0.4		V
V _{OL}	低电平输出电压	V _{ID} = -200 mV, I _O = 4 mA			0.4	V
I _{O(z)}	R 引脚上的输出高阻抗电流	V _R = 0 V or V _R = V _{DD1} , V _{RE} = V _{DD1}	-1		1	μA
I _{I1}	总线输入电流	V _A or V _B = 12 V, 其他输入引脚接 0 V		0.04	0.1	mA
		V _A or V _B = 12 V, V _{DD} = 0, 其他输入引脚接 0 V		0.06	0.13	
		V _A or V _B = -7 V, 其他输入引脚接 0 V	-0.1	-0.04		
		V _A or V _B = -7 V, V _{DD} = 0, 其他输入引脚接 0 V	-0.05	-0.03		
I _I	输入电流 /RE	V _{RE} = 0V or V _{RE} = V _{DD1}	-10		10	μA
R _{ID}	差分输入电阻	A, B	96			kΩ
CMTI	共模瞬变抗扰度	见图 13		100		kV/μs

6.11 供电电流

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I _{DD1}	逻辑侧电源电流	/RE = 0 V 或 V _{DD1} , DE = 0 V 或 V _{DD1} (VDD1=3.3V)			3.2	mA
		/RE at 0 V 或 V _{DD1} , DE = 0 V 或 V _{DD1} (VDD1=5V)			3.3	
I _{DD2}	总线侧电源电流	/RE a= 0 V 或 V _{DD1} , DE = 0 V, 无总线负载			4.4	mA

6.12 开关特性: 驱动器

所有典型规格都是在 VDD1=5V、VDD2=5V、TA=25°C 条件下的规格 (除非另有说明, 否则最小/最大值是建议工作条件下的规格)

参数		测试条件	最小值 典型值 最大值	单位
驱动器 (Pai8485E)				
t _{PLH} , t _{PHL}	驱动传输延时	见图 7	65	ns
PWD ⁽¹⁾	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 7	3	ns
t _r , t _f	差分输出信号上升下降时间	见图 7	10	ns
t _{PZH}	使能传输延时, 高阻抗至高电平输出	见图 8	65	ns
t _{PZL}	使能传输延时, 高阻抗至低电平输出	见图 9	65	ns
t _{PHZ}	禁用传输延时, 高电平至高阻抗输出	见图 8	65	ns
t _{PLZ}	禁用传输延时, 低电平至高阻抗输出	见图 9	65	ns
驱动器 (Pai8486E)				
t _{PLH} , t _{PHL}	驱动传输延时	见图 7	60	ns
PWD ⁽¹⁾	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 7	2.5	ns
t _r , t _f	差分输出信号上升下降时间	见图 7	12	ns
t _{PZH}	使能传输延时, 高阻抗至高电平输出	见图 8	65	ns
t _{PZL}	使能传输延时, 高阻抗至低电平输出	见图 9	65	ns
t _{PHZ}	禁用传输延时, 高电平至高阻抗输出	见图 8	65	ns
t _{PLZ}	禁用传输延时, 低电平至高阻抗输出	见图 9	65	ns

6.13 开关特性: 接收器

所有典型值均为 VDD1=5V, VDD2=5V, TA=25°C 测试所得 (除非另有说明, 最小/最大值均为建议工作条件下的测试结果)

参数		测试条件	最小值 典型值 最大值	单位
接收器 (Pai8485E)				
t _{PLH} , t _{PHL}	接收传输延时	见图 10	80	ns
PWD ⁽¹⁾	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 10	10	ns
t _r , t _f	差分输出信号上升下降时间	见图 10	1	ns
t _{PZH}	使能传输延时, 高阻抗至高电平输出	见图 11 和图 12	45	ns
t _{PZL}	使能传输延时, 高阻抗至低电平输出	见图 11 和图 12	45	ns
t _{PHZ}	禁用传输延时, 高电平至高阻抗输出	见图 11 和图 12	60	ns
t _{PLZ}	禁用传输延时, 低电平至高阻抗输出	见图 11 和图 12	45	ns
Receiver (Pai8486E)				
t _{PLH} , t _{PHL}	接收传输延时	见图 10	80	ns
PWD ⁽¹⁾	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 10	10	ns
t _r , t _f	差分输出信号上升下降时间	见图 10	1	ns
t _{PZH}	使能传输延时, 高阻抗至高电平输出	见图 11 和图 12	45	ns
t _{PZL}	使能传输延时, 高阻抗至低电平输出	见图 11 和图 12	45	ns
t _{PHZ}	禁用传输延时, 高电平至高阻抗输出	见图 11 和图 12	60	ns
t _{PLZ}	禁用传输延时, 低电平至高阻抗输出	见图 11 和图 12	45	ns

7 参数测试电路

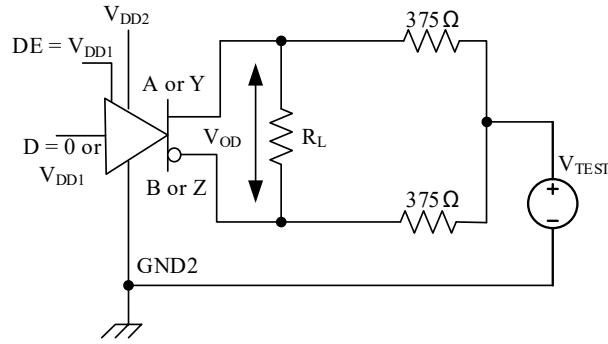
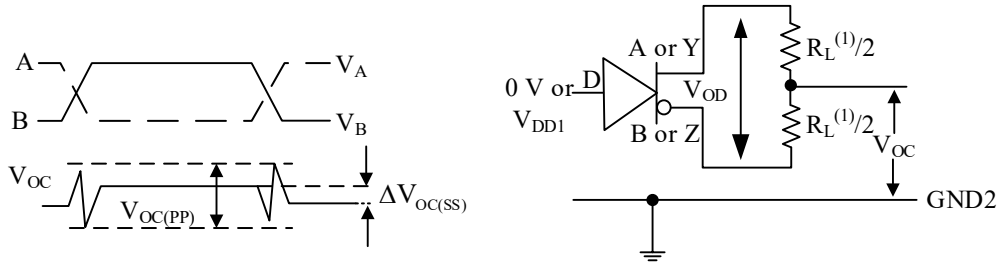
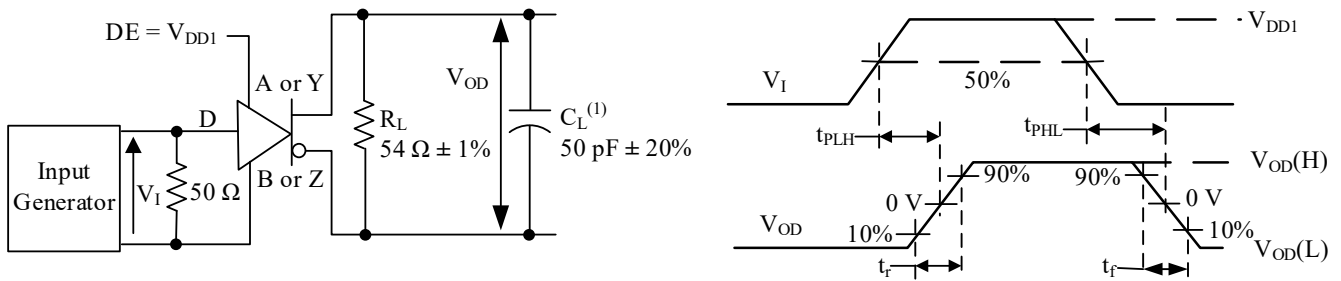


图 5 驱动器 V_{OD} 电压测试电路



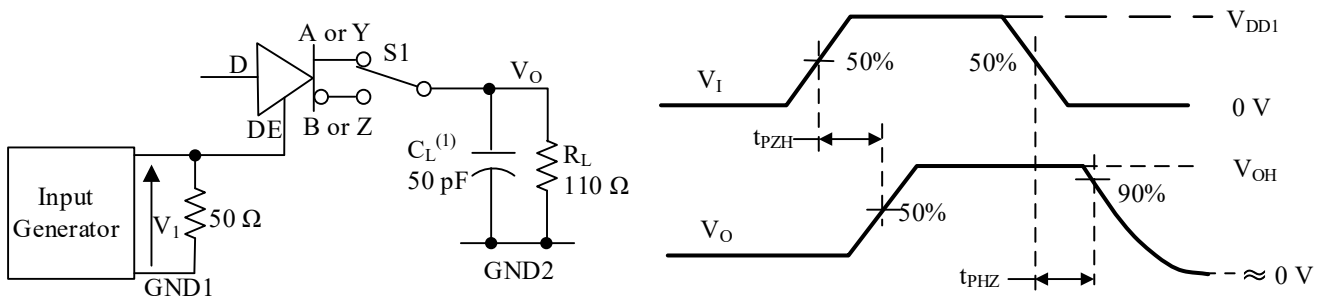
(1) $R_L = 100 \Omega$ for RS422, $R_L = 54 \Omega$ for RS-485

图 6 驱动器共模输出电压的测试电路和波形定义



(1) C_L includes fixture and instrumentation capacitance.

图 7 驱动器开关测试电路和电压波形



(1) C_L includes fixture and instrumentation capacitance.

图 8 驱动器高电平输出启用和禁用时间测试电路和电压波形

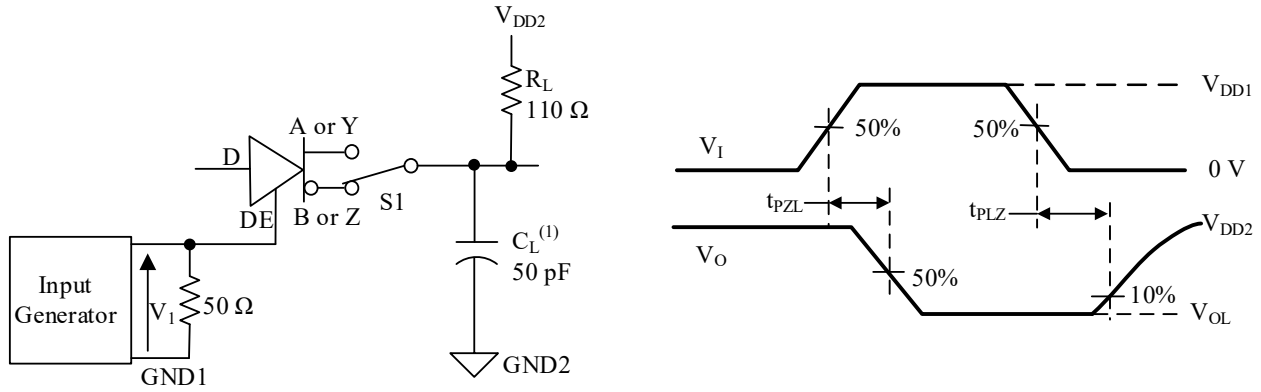


图 9 驱动器低电平输出启用和禁用时间测试电路和电压波形

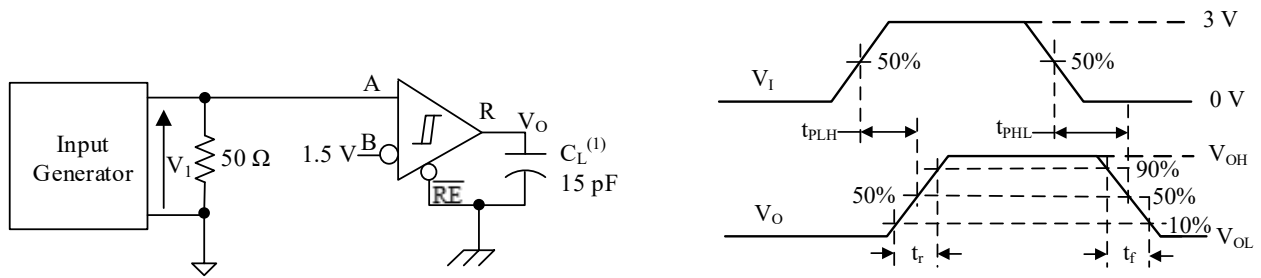


图 10 接收器开关测试电路和波形

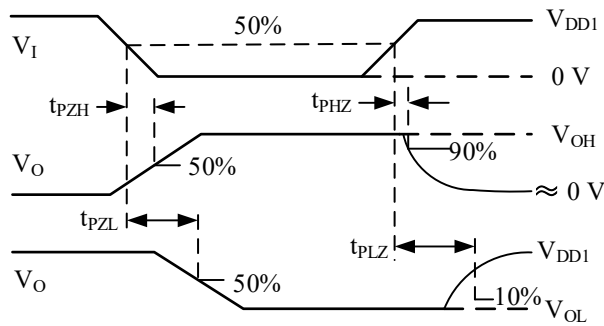


图 11 接收器启用和禁用时间电压波形

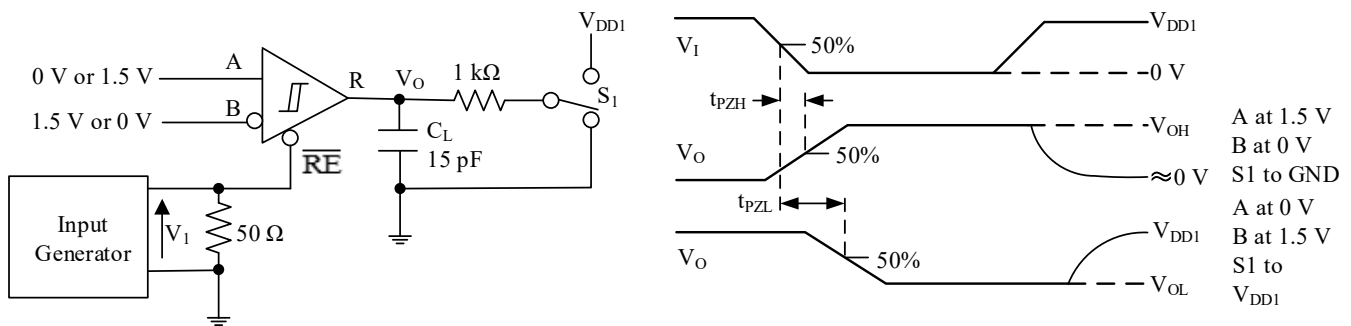
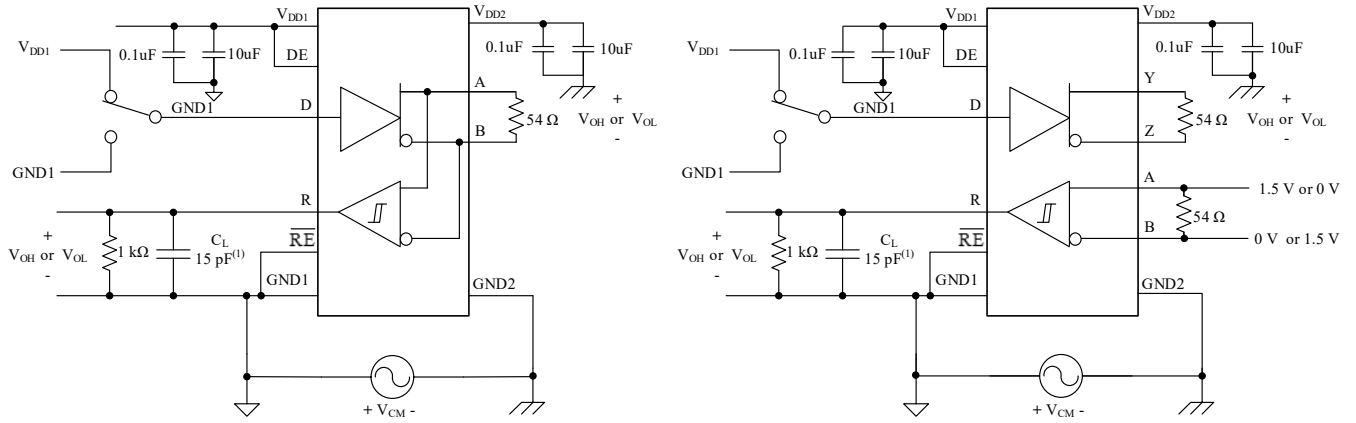


图 12 接收器启用和禁用时间测试电路和电压波形



(1) CL 包括固定装置和仪器电容。

图 13 共模瞬态抑制 (CMTI) 测试电路—半双工 (左) 和全双工 (右) 收发器

8 详细描述

8.1 概述

Pai848x 产品是荣湃半导体隔离 RS-485 收发器，通过使用荣湃半导体 *iDivider*® 技术提供卓越的性能特性。

智能分压器技术 (*iDivider*® 技术) 是荣湃半导体发明的新一代数字隔离器技术。它利用电容分压原理，在不需要调制和解调的情况下，实现电压信号跨越隔离介质精准传输。

Pai8485E 是半双工 RS-485 收发器，Pai8486E 是全双工 RS-485 收发器。这两种收发器均符合 UL 1577 标准的 5kVrms 隔离电压认证。这些收发器是长输电线的理想选择，因为接地回路被断开，从而允许更大的共模电压范围。这些收发器具有故障安全电路，可在接收器输入开路或短路时保证接收器输出逻辑高。这些收发器具有 1/8 单元负载接收器输入阻抗，允许总线上最多 256 个收发器。Pai8485E 的数据速率为 14Mbps。Pai8486E 的数据速率高达 12Mbps。

图14显示了半双工收发器的功能框图，图15显示了全双工收发器的功能框图。

8.2 功能框图

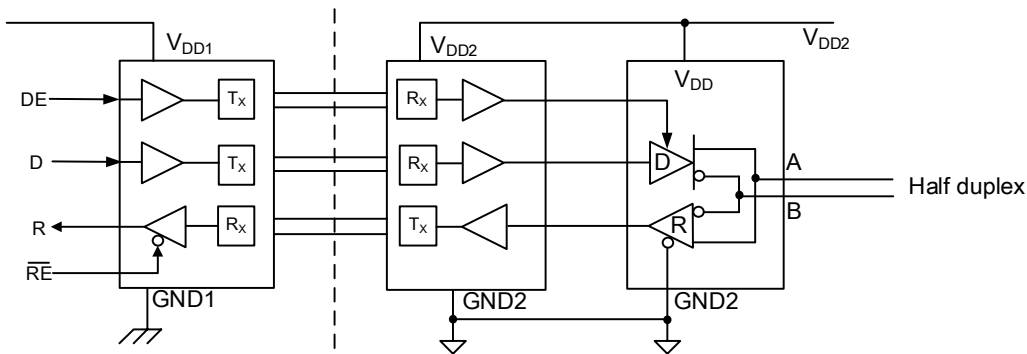


图 14 半双工收发器功能框图

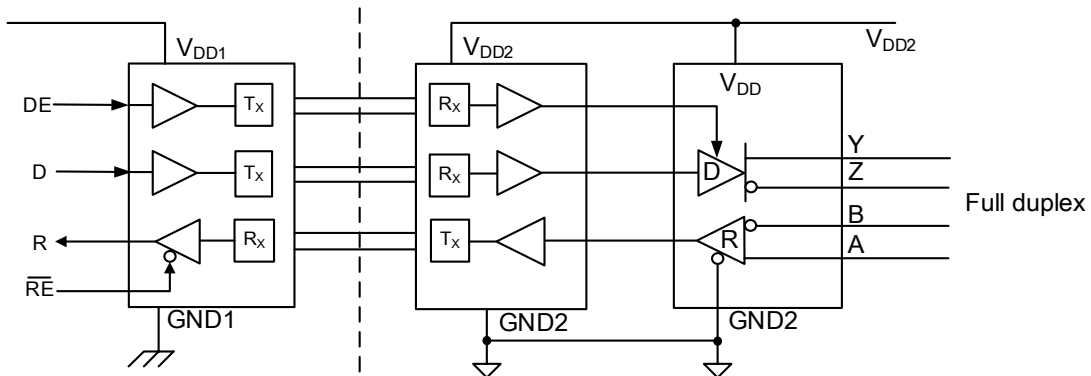


图 15 全双工收发器功能框图

8.3 器件 I/O 原理图

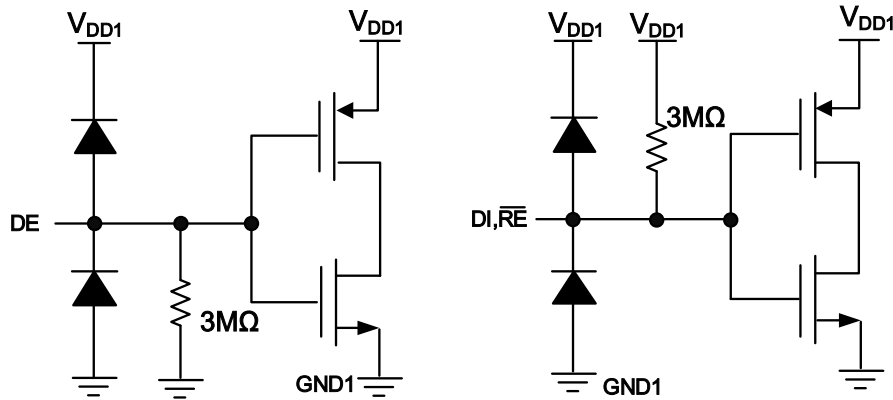


图 16 器件 I/O 原理图

9 应用和实现

NOTE

以下应用部分中的信息不属于荣湃半导体器件规范的一部分，荣湃半导体不保证其准确性或完整性。荣湃半导体的客户负责确定器件是否适合其用途。客户应验证和测试其设计实现，以确认系统功能。

9.1 应用信息

Pai848x 系列由 RS-485 收发器组成，通常用于异步数据传输。全双工实现需要两个信号对（四根线），并允许每个节点在一个信号对上传输数据，同时在另一信号对上接收数据。对于半双工传输，只共享一个信号对用于数据的传输和接收。为了消除传输线反射，每个电缆末端都使用一个端接电阻器 R_T 进行端接，其值与电缆的特性阻抗 Z_0 相匹配。这种方法称为并行端接，允许在更长的电缆长度上获得更高的数据速率。

9.2 典型应用

Pai848x收发器设计用于在多点RS-485网络上进行双向数据传输。RS-485总线具有多个收发器，这些收发器与总线电缆并联。两个电缆端都用端接电阻器 R_T 端接，以消除线路反射。 R_T 的值与电缆的特性阻抗 Z_0 相匹配。这种被称为并行端接的方法可以在更长的电缆长度上使用更高的数据速率。

半双工实现，如图17所示，驱动器和接收器启用引脚允许任何节点在任何给定时刻配置为发送或接收模式，从而降低了电缆需求。

如图 18 所示，全双工实现需要两个信号对（四条导线）。全双工实现允许每个节点在一个信号对上传输数据，同时在另一个信号对上接收数据。

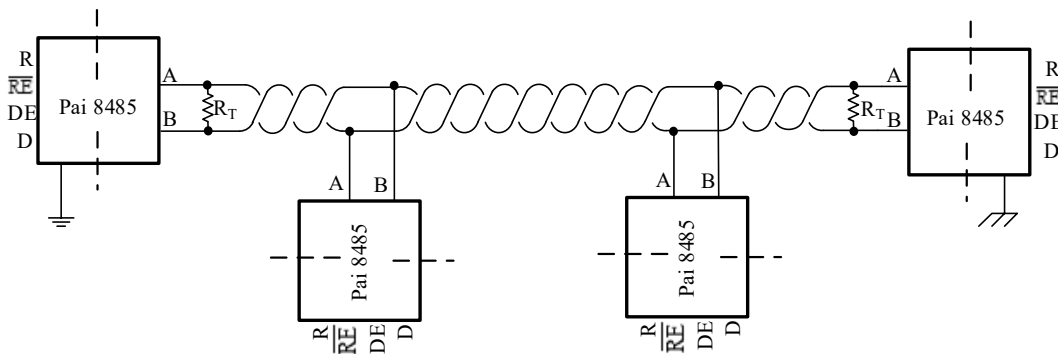
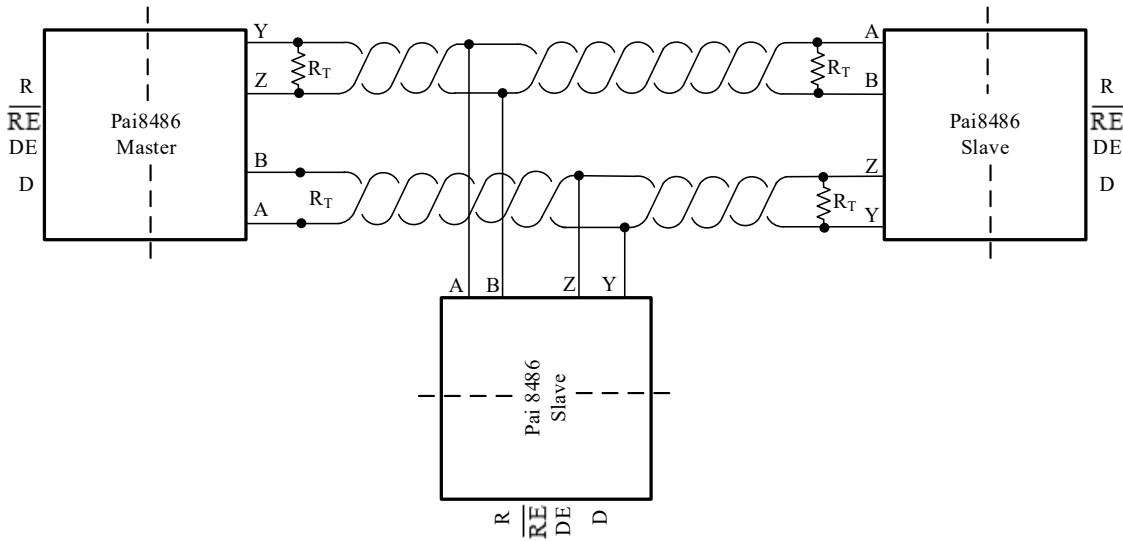


图 17 半双工收发器配置

图 18 具有全双工收发器的典型 RS-485 网络

9.3 设计要求

与需要几个外部器件来提高性能，提供偏置或限制电流的基于光耦的解决方案不同，Pai 848x 器件只需要外部旁路电容器即可工作。

9.4 详细设计步骤

RS-485是一种稳健的电气标准，适用于长距离网络。RS-485接口可用于具有不同要求，例如通信距离、数据速率、节点数量的各种应用中。

9.5 总线负载

驱动器提供的电流必须提供给负载，因为驱动器的输出取决于该电流。将收发器添加到总线以增加总线总负载。RS-485 标准规定了单元负载（UL）的假设项，以估计可能的总线负载的最大数量。UL 表示负载阻抗约为 12 kΩ。符合标准的驱动器必须能够驱动 32 个单元负载（UL）。Pai848x 收发器具有 1/8 UL 收发器，最多可以连接 256 个收发器到总线。

10 电源相关建议

为了确保收发器在所有数据速率和电源电压下都能可靠运行，建议在逻辑和收发器电源引脚（VDD1和VDD2）处使用0.1μF旁路电容器。电容器应尽可能靠近电源引脚。此外，VDD2上的10μF大容量电容器在传输模式下的总线转换期间提高了收发器性能。

11 布局

11.1 布局指导原则

实现低EMI PCB设计至少需要四层（见图19）。层堆叠应按以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速迹线可避免使用过孔（以及引入其电感），并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 通过在高速信号层旁边放置一个实心接地平面，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 将接地平面旁边放置电源平面后，会额外产生大约100 pF/in²的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

将 VDD2 旁路电容器放在顶层，并尽可能靠近器件引脚。不要使用过孔来完成与 VDD2 和 GND2 引脚的连接。如果需要额外的电源电压平面或信号层，则向堆叠添加第二电源或接地平面系统以保持其对称。这使得堆叠在机械上稳定，并防止其翘曲。此外，每个电力系统的电源和接地平面可以放得更近，从而显著增加高频旁路电容。

11.2 布局示例

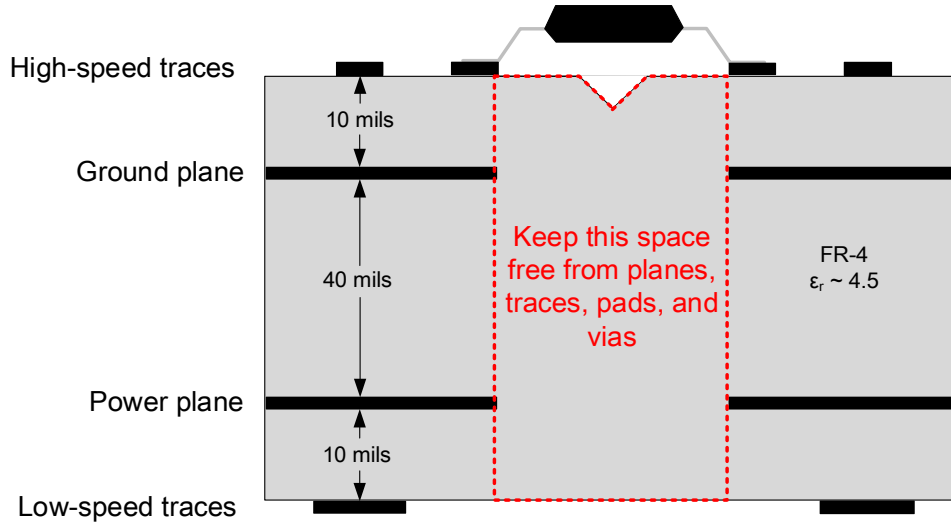


图 19 建议的层堆叠

外形尺寸

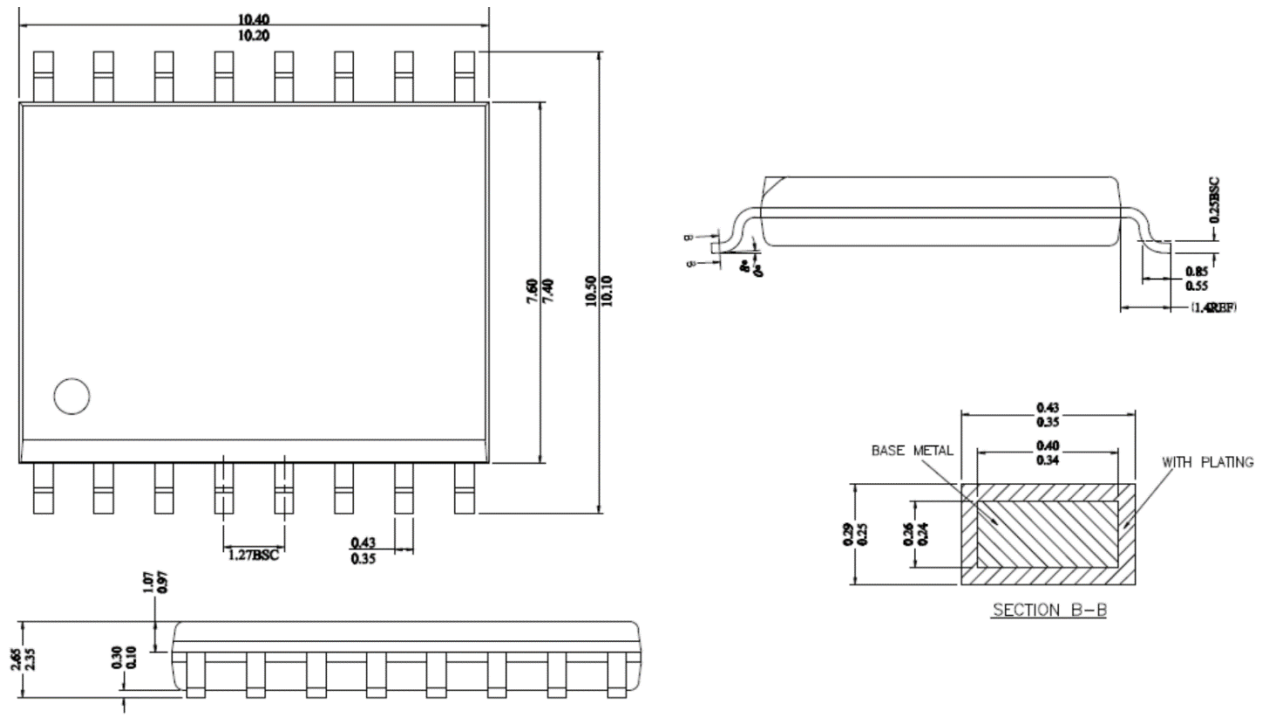


图 20 16 引脚宽体 SOIC 封装[WB SOIC-16]外形封装-尺寸单位 (mm)

焊盘图案

16 脚宽体 SOIC 封装[WB SOIC-16]

下图说明了 16 引脚宽体 SOIC 封装中 Pai848x 的推荐焊盘图案细节。该表列出了图中所示尺寸的值。

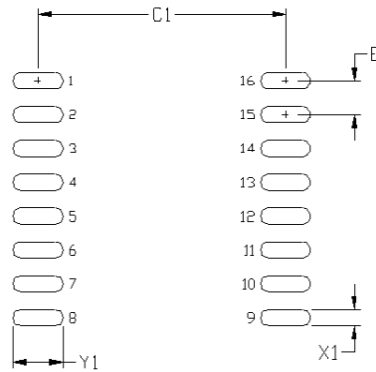


图 21 16 引脚宽体 SOIC 封装[WB SOIC-16]焊盘图案

表 17 16 引脚宽体 SOIC 封装[WB SOIC-16]焊盘图案尺寸

尺寸	特征	值	单位
C1	Pad 列间距	9.40	mm
E	Pad 行间距	1.27	mm
X1	Pad 宽	0.60	mm
Y1	Pad 长	1.90	mm

说明:

- 1.焊盘图案基于 IPC -7351 设计。
- 2.显示的所有特征尺寸均在最大材料条件下, 并且假设制造公差为 0.05 毫米。

顶层丝印图

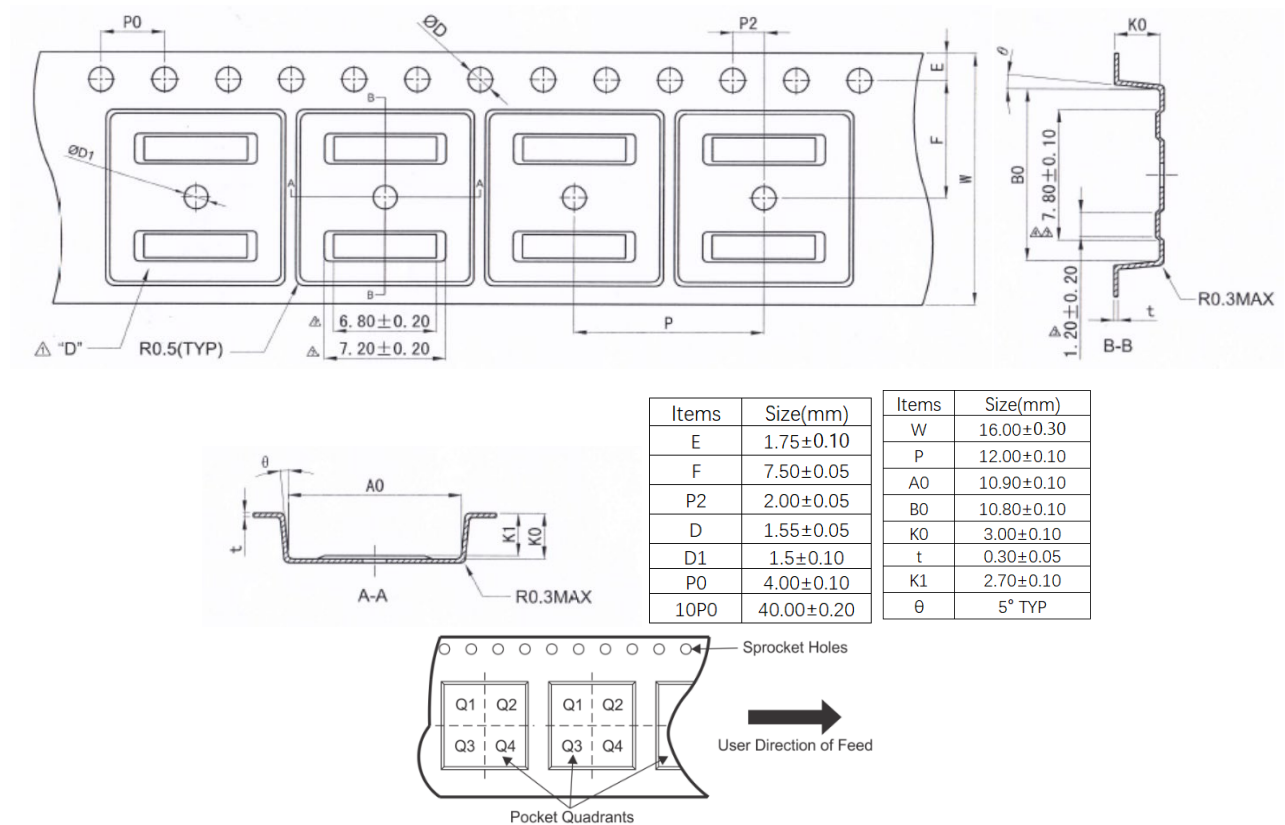


第一行	Pai8XXXXX=产品名称
第二行	YY =生产年份 WW = 生产周 ZZ=生产工厂制定的制造代码
第三行	XXXX, 没有特殊含义

Figure 22. Top marking

包装信息

16 引脚宽体 SOIC 封装[WB SOIC-16]



说明：芯片的 Pin1 在 Q1 区域

图 23 包装示意图

订购指南

型号	双工	最大数据速率	耐压等级	节点数量	温度范围	封装	潮敏等级,允许最高焊接温度 ¹	每卷数量
Pai8485E-W1R	半双工	14Mbps	5 kV RMS	256	-40~125°C	WB SOIC-16	Level-2-260C-1 YEAR	1500
Pai8486E-W1R	全双工	12Mbps	5 kV RMS	256	-40~125°C	WB SOIC-16	Level-2-260C-1 YEAR	1500

¹ 潮敏等级,允许最高焊接温度 - 根据 JEDEC 行业标准分类的湿度敏感度等级, 以及允许最高焊接温度

² 最小订购数量为一卷数量。

免责声明

荣湃半导体尽量为客户提供最新、准确和深入的文档。但是, 荣湃半导体对使用它或因使用它可能导致的任何专利侵权或第三方其他权利不承担任何责任。特征数据, 可用型号和提供的“典型”参数在不同的应用中可能并且确实有所不同。本文描述的应用示例仅用于说明目的。荣湃半导体保留进行更改的权利, 恕不另行通知, 并且不对此处的产品信息, 规格和说明进行任何限制, 并且对所包含信息的准确性或完整性不做任何保证。荣湃半导体不对使用此处提供的信息的后果承担任何责任。

商标和注册商标是其各自所有者的财产。本文档并不暗示或明示授予其设计或制造任何集成电路的版权许可。

201203 上海市浦东新区亮秀路 112 号 B 座 401,402 和 404 室 021-50850681

荣湃半导体(上海)有限公司, 版权所有。

<http://www.rpsemi.com/>

版本历史

版本	日期	页面	变更记录
0.1	2023.08	所有	初始版本
0.2	2024.06	所有	基于芯片测试结果更新数据